



DFx技术与方案的应用

目录

Time to market Time to volume Time to value

■ 工艺技术与流程

- 什么是工艺质量基线?
- 工艺质量基线的因素
- 板级系统有哪些工艺设计要求?
- 板工艺技术交流与问题分析
- 设计人员有哪些困难

■ Valor的DFx解决方案

- 设计流程
- 软件平台介绍
- ERF规则管理器
- VPL实体库
- 功能就用分类与示例
- 交互设计
- 报表输出

■ Valor案例分析

- 实例分析
- BOM验证
- 网络分析
- 光板分析
- 装配分析
- 问题分析与交流
- 报表输出

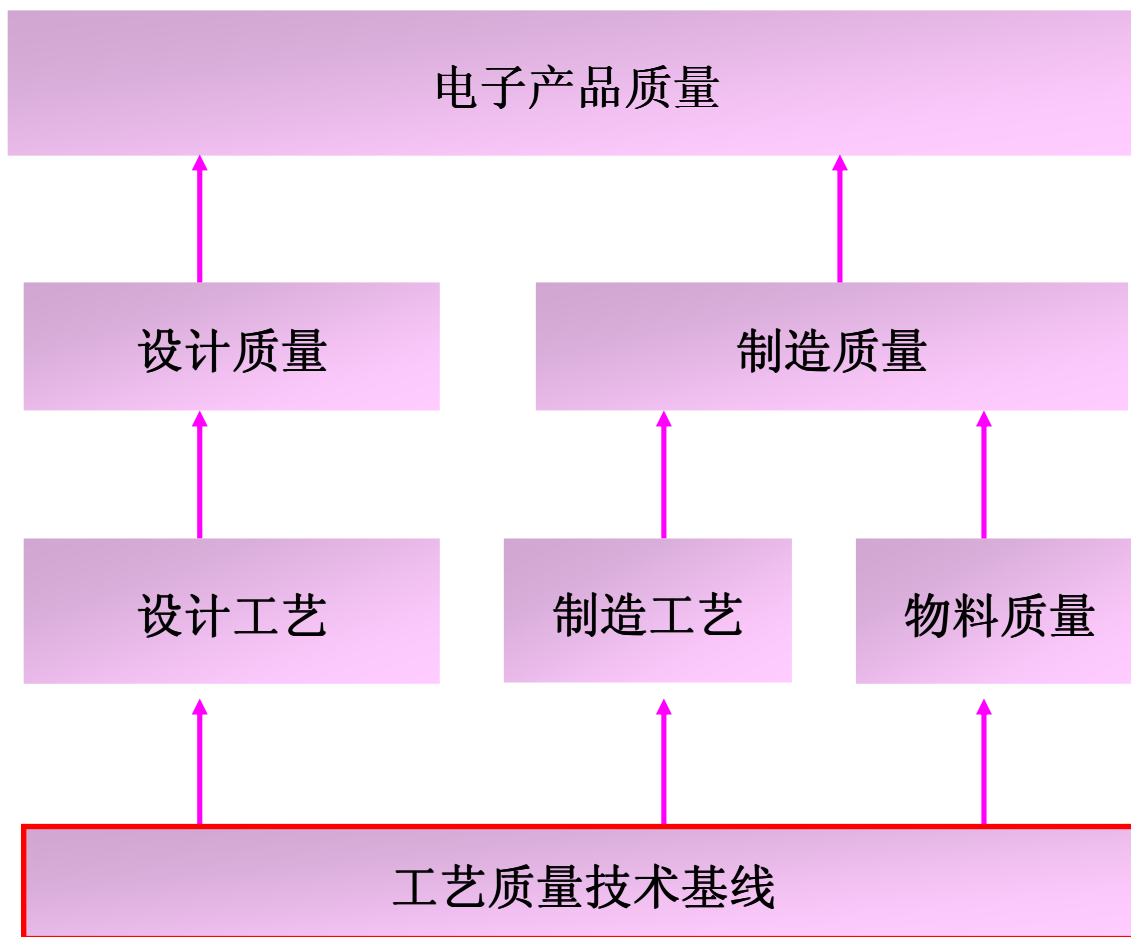
■ 成功应用DFx企业

- 技术服务团队
- 总结

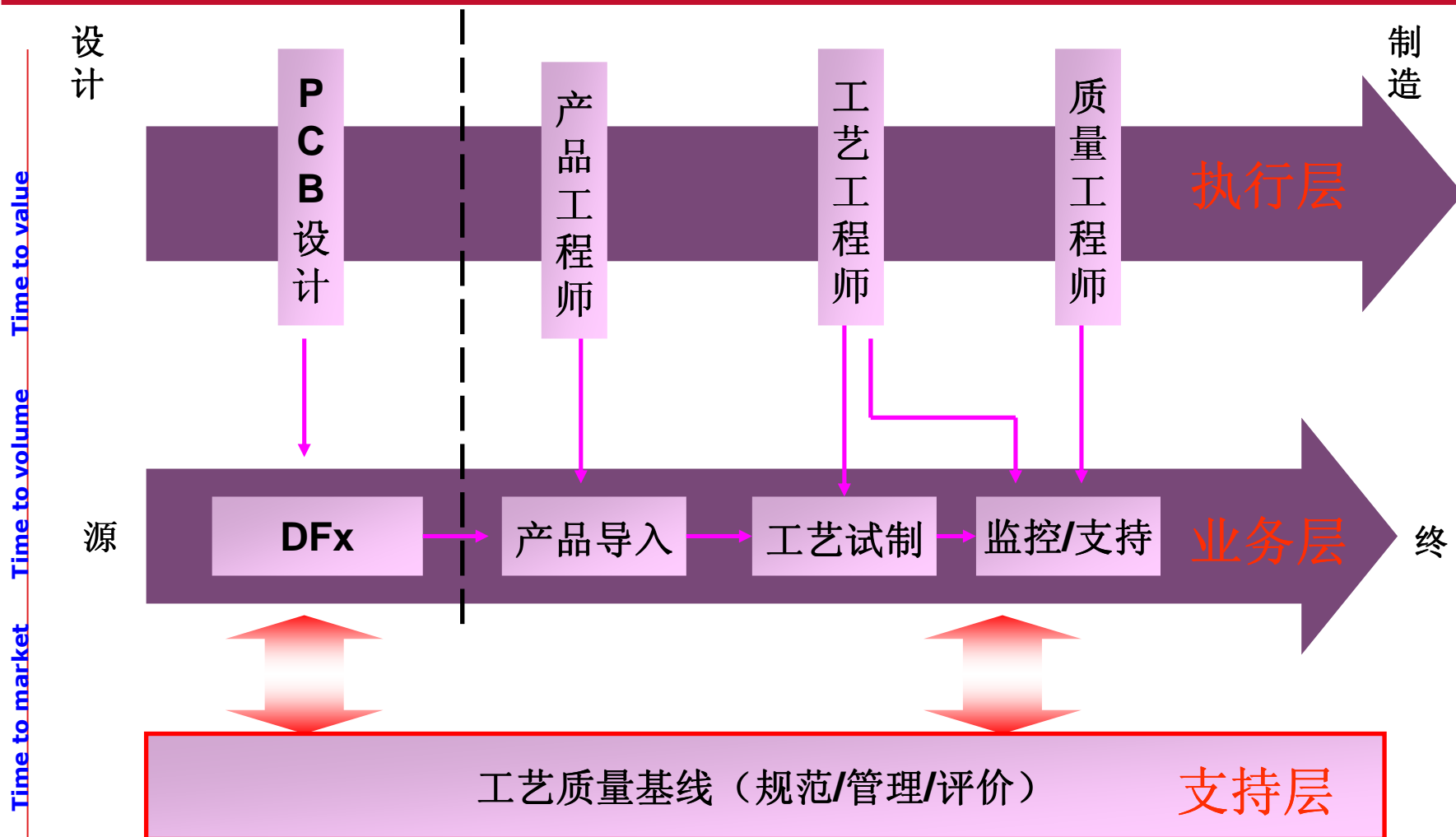


工艺质量基线

Time to market Time to volume Time to value



工艺质量基线



影响工艺质量的因素

设计因素:

1. 组装方式（工艺流程）
2. 元器件封装
3. 元器件布局与密度设计
4. 焊点可靠性和工艺性设计
5. PCB结构，材料及工艺设计

工艺因素:

1. 钢网设计问题
2. 印刷参数问题
3. 回流/波峰等焊接问题
4. SMT/THT问题
5. 其它等

现场因素:

1. 操作规范性
2. 工序控制
3. ESD管理
4. 温湿度控制
5. 5S等

物料因素:

1. BOM正确性
2. 元器件的工艺质量
3. PCB的工艺质量
4. 储存、配送管理
5. 其它

源

终

工艺质量因素

Time to value
Time to volume
Time to market



工艺质量-板级设计有哪些要求

- ◆ 工艺路线
- ◆ PCB叠层
- ◆ PCB尺寸
- ◆ 结构/拼板/辅助边要求
- ◆ 基准点要求
- ◆ 器件布局要求
- ◆ 走线要求
- ◆ 回流/波峰/压接/手插件等要求
- ◆ 孔径设计要求
- ◆ 阻焊设计要求
- ◆ 表面外理要求
- ◆ ICT要求
- ◆ 丝印设计要求
- ◆ 产品特性要求
- ◆ 输出文件的工艺要求
- ◆ 其它或特殊设计要求

问题的分析和技术交流



规则和工艺边界-越来越多

Time to market Time to volume Time to value

- ☑ 来自设计师的电气规则
 - ☑不同的功能有不同的设计要求
 - ☑不同的元件性能有不同的设计技巧
- ☑ 来自PCB厂家的工艺限制
 - ☑不同的加工设备有不同的加工能力
 - ☑不同的制造工艺有不同的工艺要求
 - ☑不同的PCB材料有不同的加工工艺
- ☑ 来自生产组装的规则
 - ☑不同的组装设备有不同的装配要求
 - ☑不同的元件封装有不同的装配要求
- ☑ 来自测试师的要求
 - ☑不同的测试设备有不同的测试要求
 - ☑不同的元件封装有不同的测试要求
- ☑ 来自机械结构师的要求
 - ☑不同的产品有不同总装工艺要求
 - ☑不同总装流程有不同的设计要求

DFM分析平台与CAD设计平台无关

Checklist越来越长

DRC负担越来越重,
但依然包容不了所有规则!!!

怎么办?
怎么办?
DFM工具!



设计者面临的挑战

Time to market Time to volume Time to value

■ 检查规则:

- ☑ 电气,PCB生产,组装,测试,总装...

■ 检查内容:

- ☑ ALL Checklist,DRC

■ 检查师条件:

- ☑ 懂电气和工艺
- ☑ 懂EDA或CAM等工具

■ 检查要求:

- ☑ 不能遗漏检查
- ☑ 不能多次犯同一错误

■ 检查结果:

- ☑ 错误报告
- ☑ 错误类型,位置及图片



传统的设计方法和流程已无法解决当前的问题!



目录

Time to market Time to volume Time to value

■ 工艺技术与流程

- 什么是工艺质量基线?
- 工艺质量基线的因素
- 板级系统有哪些工艺设计要求?
- 板工艺技术交流与问题分析
- 设计人员有哪些困难

■ Valor的DFx解决方案

- 设计流程
- 软件平台介绍
- ERF规则管理器
- VPL实体库
- 功能就用分类与示例
- 交互设计
- 报表输出

■ Valor案例分析

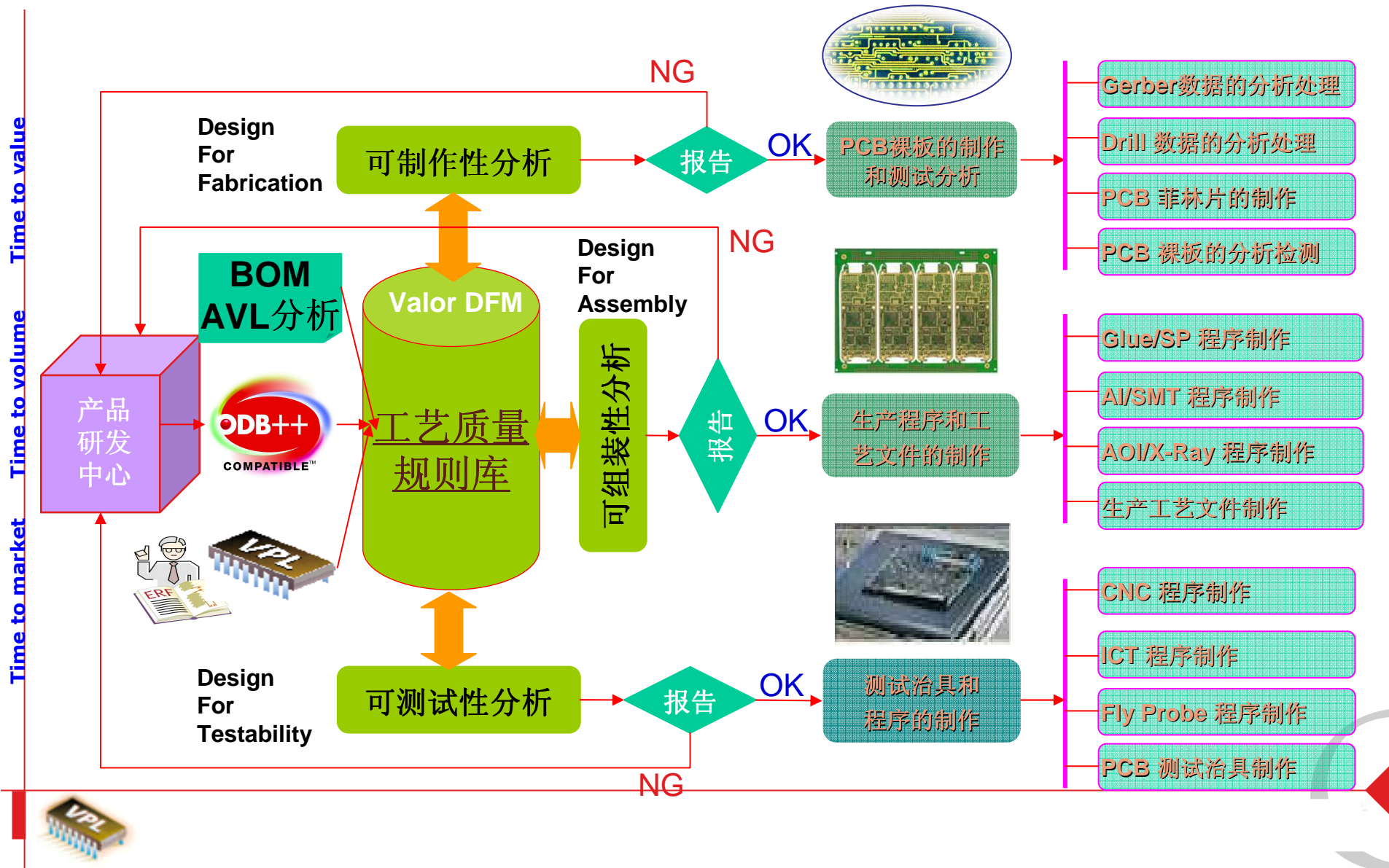
- 实例分析
- BOM验证
- 网络分析
- 光板分析
- 装配分析
- 问题分析与交流
- 报表输出

■ 成功应用DFx企业

- 技术服务团队
- 总结

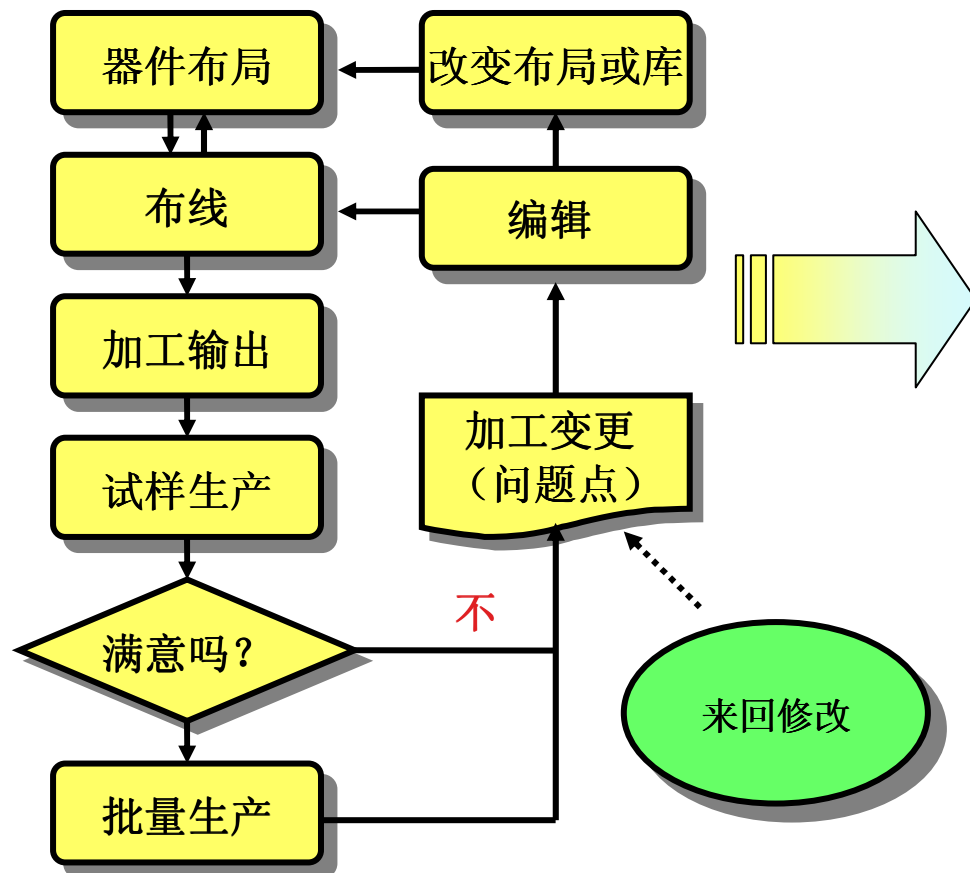


Valor提供的全面解决方案

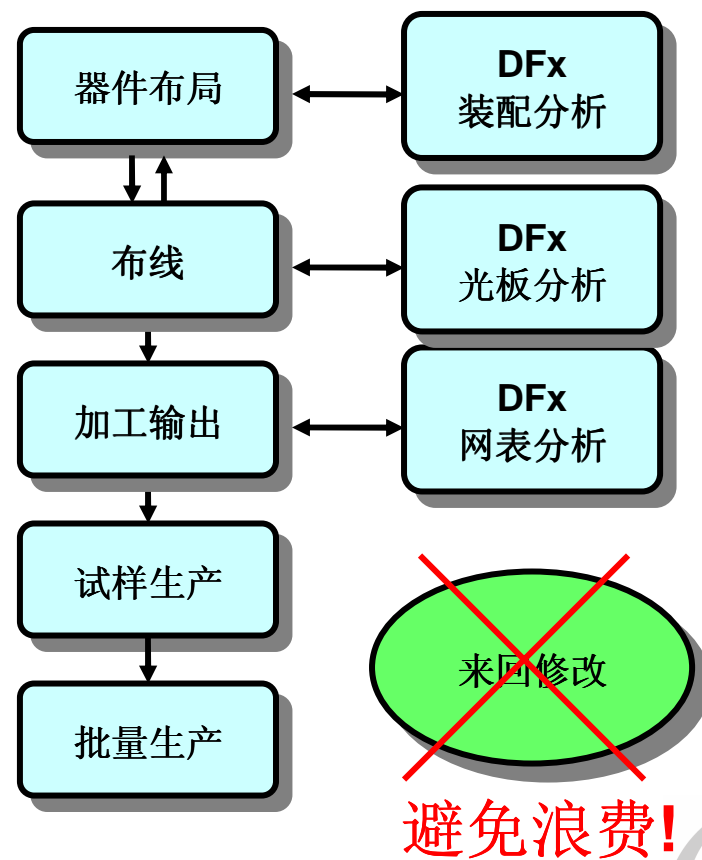


设计流程的改进

■ 传统的设计流程



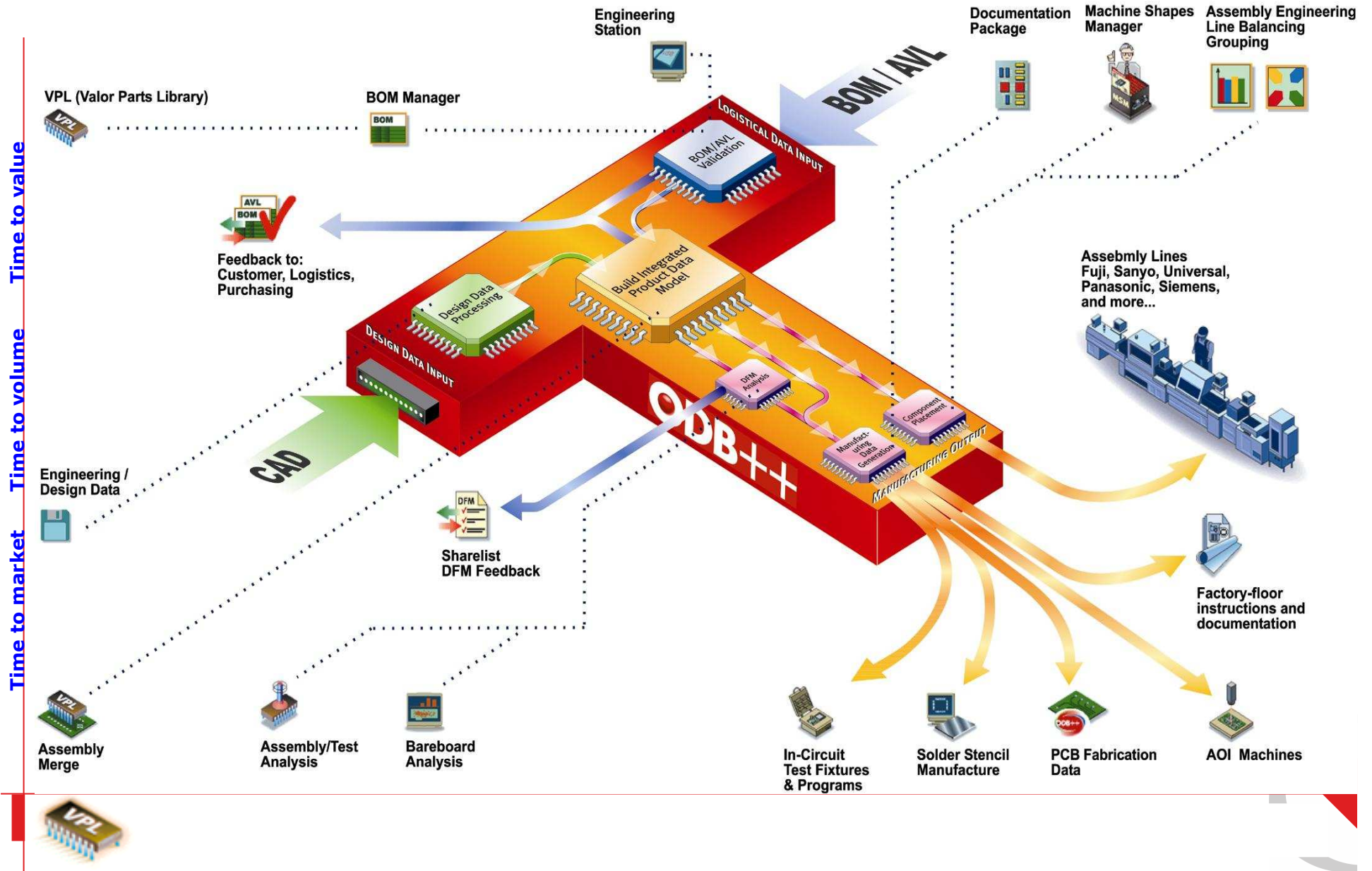
◆ 导入DFx后的设计流程



Time to market Time to volume Time to value

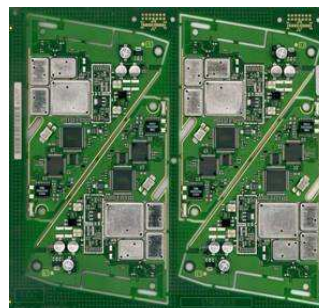
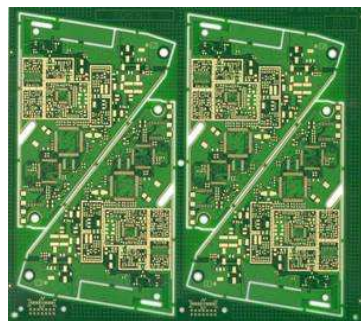
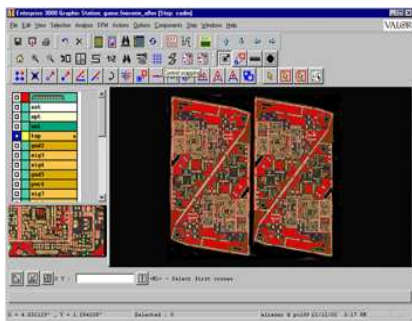


Valor为PCB设计与制造提供全套解决方案



Valor解决三个维度的问题

Time to value
Time to volume
Time to market



ODB++
数据交换模型



ODB++
数据交换模型



☑提供全套完善的解决方案



Valor Enterprise 3000 DfX解决方案



Time to value
Time to volume
Time to market

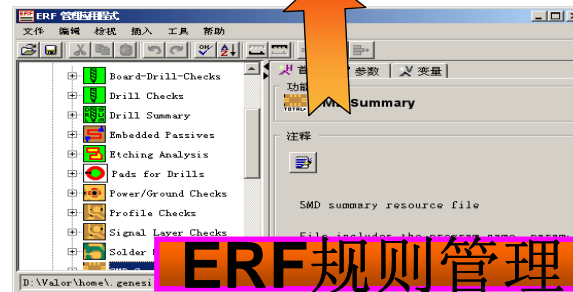
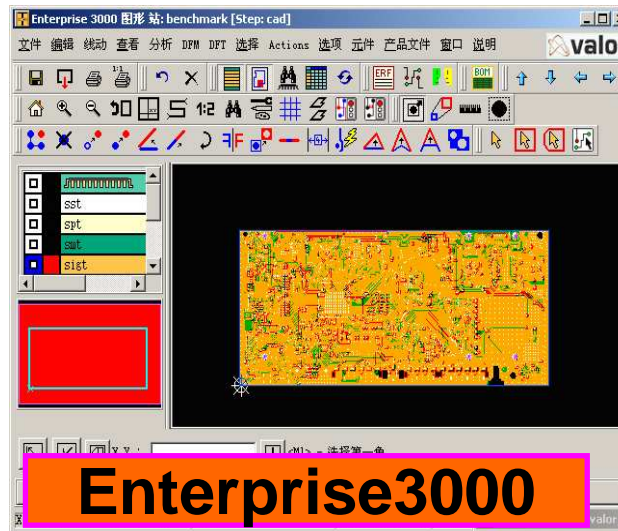
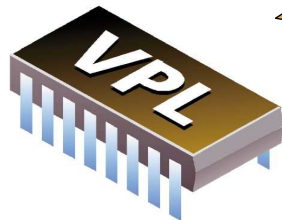
EDA File



CAD/ODB++

BOM List

CPN	REF
NUM	MF.



DfX报表

VALOR

Sharelist report of job benchmark

ID	Title	Chk-Category	Image	X-Location	Y-Location	Ln
82	ch:存在多余的Via (只有一层相连)	存在多余的Via (只有一层相连)		1.683000	3.272000	sig5 drill
83	ch:存在多余的Via (只有一层相连)	存在多余的Via (只有一层相连)		6.384000	2.320000	sig5 drill

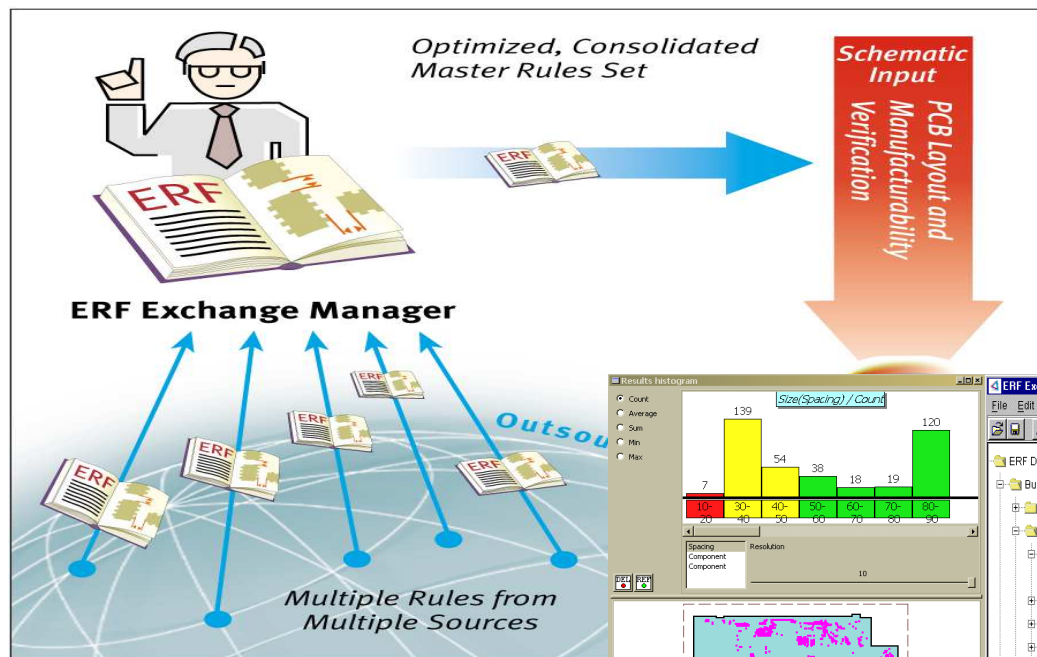
Report

DfX

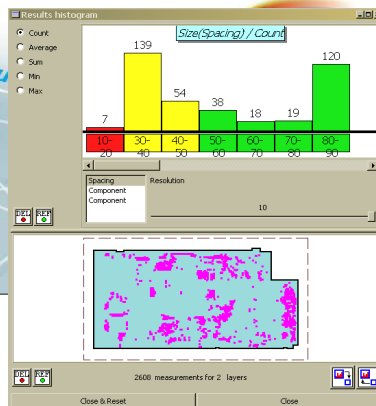


ERF规则管理器

Time to value
Time to volume
Time to market



- ☑ IPC-SM-782
- ☑ IPC-7525
- ☑ IPC-TM-650
- ☑ IPC-A-610C
- ☑ 100%可制造性仿真



Category Name	Range Name	Area	Class 1	Class 2	Side(s)	Values	Online
						50, 70, 99999	ALL RED
1	Comp. Pitch	c_pitch	*	*			ALL YELLOW
2	Comp. Height	c_height	*	*			ALL GREEN
3	Comp. Rotation	c_rotation	*	*		99999, 1, -1	ALL BLUE
4	Comp. length m...	c_length_min	*	*		50, 100, 1000	
5	Comp. length m...	c_length_max	*	*		3000, 2000, ...	
6	Assembled boa...	board_thickness				200, 150, 100	
7	Comp. Spacing	c2c	FS	discrete*	discrete*	50, 70, 99999	
8	Comp. Spacing	c2c	FS	discrete*	discrete*	40, 60, 99999	
9	Comp. Spacing	c2c	FS	discrete*	*soic	60, 80, 99999	
10	Comp. Spacing	c2c	FS	discrete*	*soic	50, 70, 99999	
11	Comp. Spacing	c2c	FS	discrete*	sot	50, 70, 99999	
12	Comp. Spacing	c2c	FS	discrete*	sot	40, 60, 99999	
13	Comp. Spacing	c2c	FS	*soic	*soic	60, 80, 99999	
14	Comp. Spacing	c2c	FS	*soic	*soic	80, 100, 99999	
15	Comp. Spacing	c2c	FS	sot	*soic	50, 70, 99999	

- ☑ 三级彩色错误报告
- ☑ DFM检测规则700+
- ☑ 客户可自定义设置规则参数
- ☑ 客户规则可灵活区分,保存



BOM和AVL数据的智能输入

Time to value
Time to volume
Time to market

BOM清单

Part Number	Quan	Locations
004-020-101	1	REFLIST: XTAL1
004-040-101	1	REFLIST: Y8
004-368-101	1	REFLIST: Y2
006-104-302	1	REFLIST: C2704
006-227-050	3	REFLIST: CP2701, CP2702, CP2703
008-103-002	2	REFLIST: RS1, RS2
010-1M4002	4	REFLIST: CR4, CR2703, CR2704, CR2705
012-000-019	1	REFLIST: P17_26
012-000-022	1	REFLIST: Q15_26
014-603-085	4	REFLIST: M18_24, M20_24, M22_24, M23_24
014-624-015	8	REFLIST: F4_51, G4_51, H4_51, J4_51, K4_52, L4_52, M4_52, O4_52
014-681-020	8	REFLIST: A24_03, B24_03, C24_03A, C24_03B, W23_13, X23_13, Y23_13, Z23_13

AVL清单

Part Number	supplier	Part Number
059-000-064	XILINX	XC3195A-3PQ208C-0314
059-000-071	XILINX	XC4013D-5PQ240C-0314
060-000-011	CENTRAL SEMI	CM5H3-40
060-000-012	MOTOROLA	M6R5340T3
060-000-012	CENTRAL SEMI	CM5H-3
061-000-025	MAXIM	MAX767CAP
061-000-026	HARRIS	RF016N05LSM
062-000-007	HARRIS	RF016N06LSM
062-000-016	ITT	IDT74FCT244T50
062-000-016	MOTOROLA	MC74F140
062-000-019	NSC	74F145
062-000-019	MOTOROLA	MC74F100
062-000-022	NSC	74F105
062-000-022	PHILIPS	N74F10D
062-000-022	NSC	74F1915
062-000-022	PHILIPS	N74F191D

整合后的BOM

Item	CPN	Vendor	VPL Vendor	MPN	REDES List
1	004-020-101	TOYOCOM	TOYOCOM	TGC-216C-GR	XTAL1
2	004-040-101	VALVEY-FISHER	VF	VM85-20.0000-16PF	Y8
4	004-368-101	TOYOCOM	TOYOCOM	TCD-711TR-40MHZ	Y2
5	006-104-302	AVX/KYOCERA	KYOCERA	VF315HPS-40MHZ	
6	006-227-050	TOYOCOM	TOYOCOM	TCD-711JTR-3.6864MHZ	
7	008-103-002	VALVEY-FISHER	VF	VF315HPS-3.6864MHZ	
8	010-1M4002	TOYOCOM	TOYOCOM	TCD-711JTR-3.6864MHZ	
9	012-000-019	TOYOCOM	TOYOCOM	DC354QND	
10	012-000-022	AVX/KYOCERA	KYOCERA	SA10SE10M4AA	C2704
11	014-624-015	THOMSON	SGS-THMSN	EX64WD0104M	
12	014-681-020	KEMET	KEMET	C410C10M49JCA	
13	014-681-020	AVX/KYOCERA	KYOCERA	SA10TE10M4AA	
14	014-681-020	UCC/MARCONI	UCC/MARCONI	CAEFM1A221M	CP2701,CP2702,CP2703
15	014-681-020	SANYO	SANYO	10SA20M	
16	014-681-020	BOURNS	BOURNS	4310R-R87-103	RS1,RS2
17	014-681-020	BOURNS	BOURNS	4310R-101-103	
18	014-681-020	DALE/MISHAY	DALE	MSP10A-01-103G	
19	014-681-020	GI		IN4002	CR4,CR2703,CR2704,CR2705
20	014-681-020	CENTRAL SEMI	CNTRL-SC	IN4002	
21	014-681-020	MOTOROLA	MOTOROLA	IN4002	
22	014-681-020	DALLAS	DALLAS	DS1286	P17_26

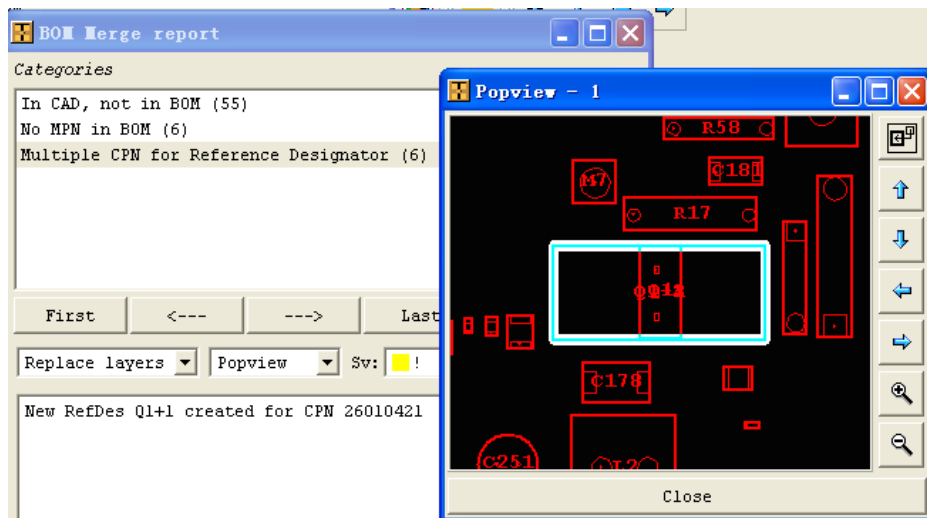
BOM管理器:

- 支持多种BOM表或AVL格式(xls,txt,asc...)
- 支持多个BOM表或AVL输入和合并
- 对特殊格式可客户化自定义
- 软件会自动搜索已定义的格式模板
- 软件会自动解析元件数量并校验
- 软件会自动校验重复元件的问题
- 软件自动产生各项错误报告



BOM&CAD的校验及元件封装的验证

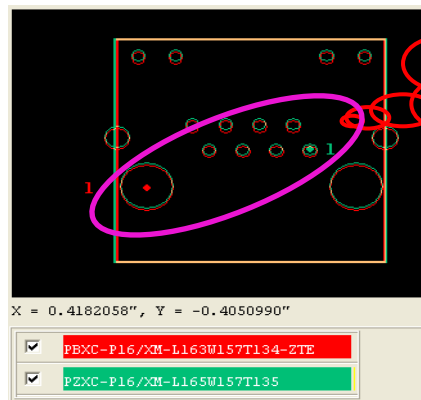
Time to market Time to volume Time to value



BOM&CAD校验报告

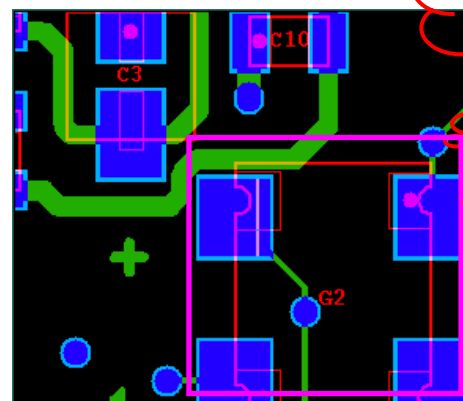
- ✓ 软件提供交互式视觉窗口
- ✓ 在CAD中存在, 但不组装元件名及数量(删)
- ✓ 在BOM中, 但没有供应商料号的元件名(改)
- ✓ 同一位置, 多个元件名
- ✓ 在BOM中存在, 但CAD中不存在(增)

元件封装的验证



两种PACKAGE
的第一脚定
义不一

设计焊盘不
符合实物尺
寸



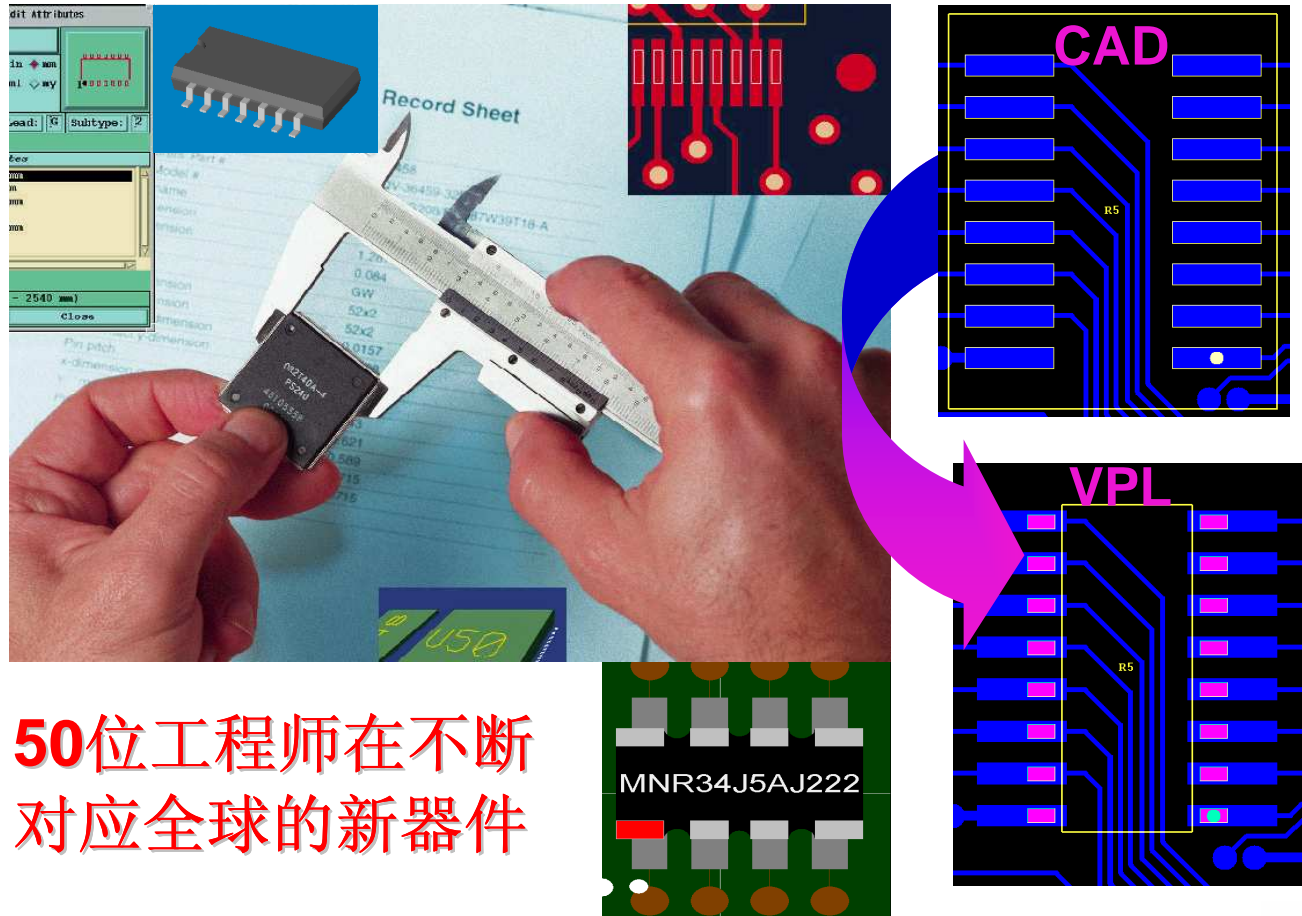
第一时间
精确验证



真实元件库VPL(Valor Parts Library)

Time to market Time to volume Time to value

- ☑ 40,000,000个以上的元件库,支持将近几千家元件供应商
- ☑ 精确的元件3D数据(长度,宽度,高度,倾斜度等)
- ☑ 精确的元件引脚数据:数量,间距,焊盘尺寸等
- ☑ 她是可制造性分析的核心数据源
- ☑ 她是替代料校验的依据之一
- ☑ 保持与业界新器件的同步更新



50位工程师在不断
对应全球的新器件



功能应用分类

Time to market Time to volume Time to value

PCB板制造范畴

- ◆ 钻孔分析
- ◆ 嵌入被动件
- ◆ 电源与接地分析
- ◆ 信号分析
- ◆ 丝印分析
- ◆ 阻焊分析

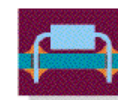
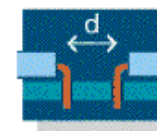


网表及Bom验证

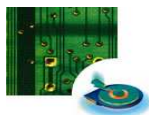


PCB板组装范畴

- ◆ 自动插件分析
- ◆ 元件分析
- ◆ 基准点分析
- ◆ 焊盘叠分析
- ◆ 引脚与焊盘分析
- ◆ 钢网层分析
- ◆ 测试点分析



示例1:裸板可制作性分析-DFF



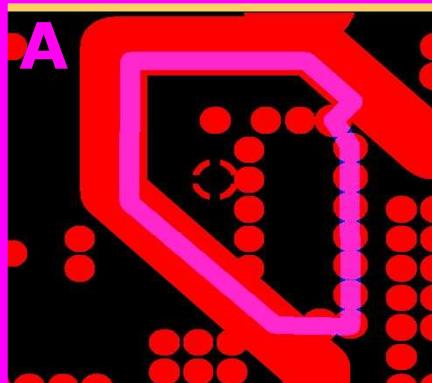
↑ 电源/地层的分析

现象A:

连续隔离盘形成隔离带

后果:

由于花盘被堵,导致信号被隔离,形成开路现象

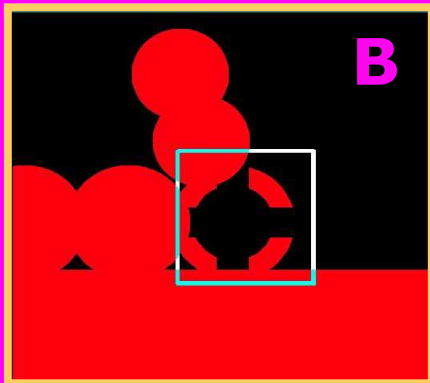


现象B:

花盘被部分隔离盘所堵

后果:

由于花盘只有一处能正常导电,影响此线路的正常导电性

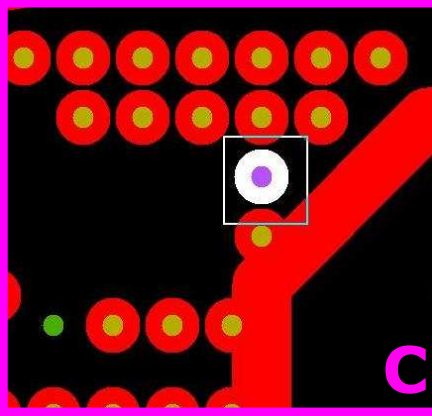


现象C:

误删隔离盘

后果:

由于隔离盘被删,导致线路短路

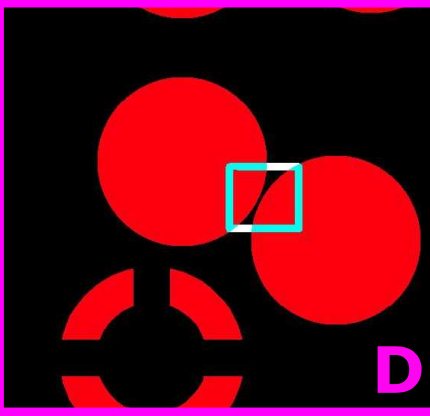


现象D:

两焊盘间距太小

后果:

过小的线宽,现加工工艺无法制作



Time to value
Time to volume
Time to market



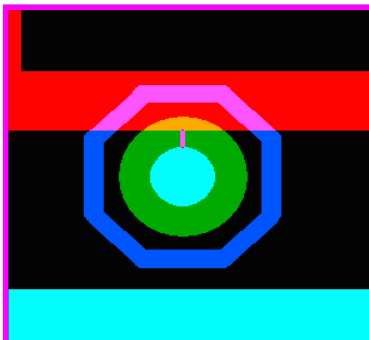
示例2: PCB可组装性分析-DFA

Time to value
Time to volume
Time to market

识别基准点和回流焊的分析



BOM



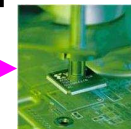
现象:
识别基准点离线路太近

后果:
导致设备无法识别或识别错误,造成设备无法工作或错误运作

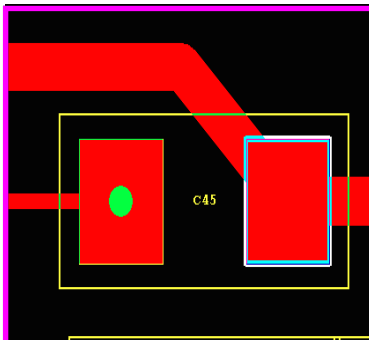


现象:
识别基准点被误印锡膏

后果:
导致设备无法识别或识别错误,造成设备无法工作或错误运作

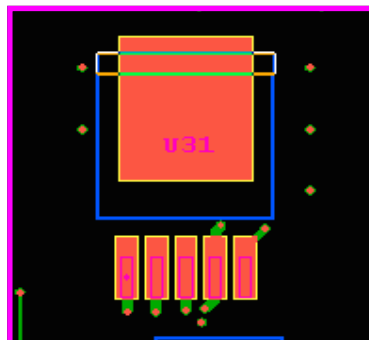


AVL



现象:
两焊盘总体面积不均

后果:
由于两焊盘面积不均,将导致吃锡拉力不一形成墓碑



现象:
焊盘小于元件本体面积

后果:
导致元件吃锡不足,形成虚焊



示例3: PCB可组装性分析-DFA

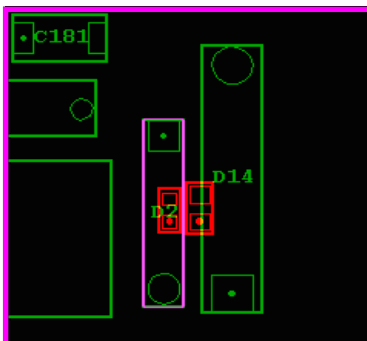
↑ 插件组装和波峰焊的分析

Time to value
Time to volume
Time to market

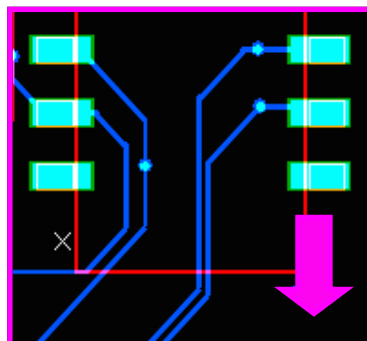
BOM

ODB++
COMPATIBLE™

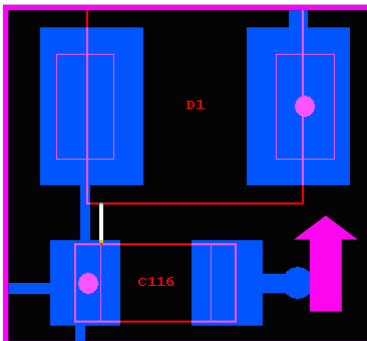
AVL



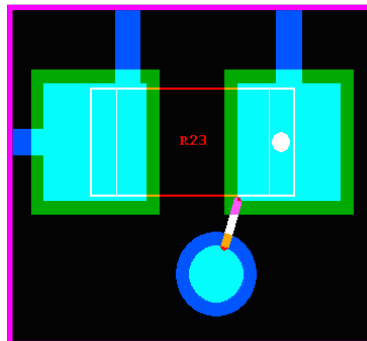
现象:
插件的反面有SMD
元件存在
后果:
插完元件后在弯脚时
损坏反面元件



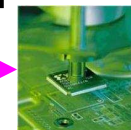
现象:
波峰焊时缺少倒吸
焊盘
后果:
过波峰焊时导致元
件引脚吃锡太多,造成
短路或吃锡不均



现象:
两元件间距太近
后果:
过波峰焊时由于元件高
度不一,导致矮元件脚
吃锡不足,造成空焊或
虚焊或缺件



现象:
VIA离焊盘太近
后果:
由于间距过小,在波
峰焊易造成线路短路或
造成元件吃锡不均

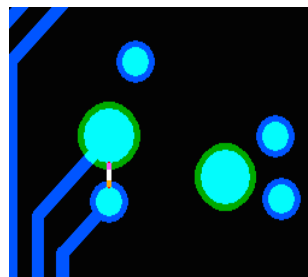


示例4:PCB可测试性分析-DFT

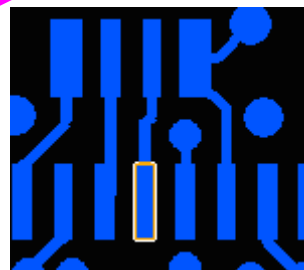
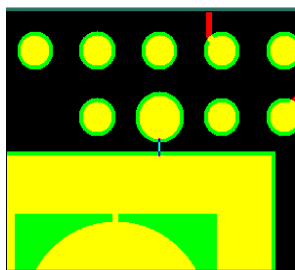
Time to value
Time to volume
Time to market

测试点的分析

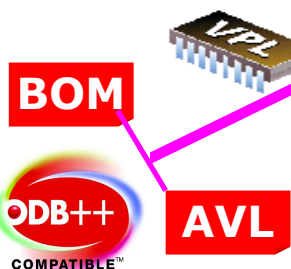
现象:
测试点离VIA太近
后果:
由于间距过小,测试时,测试针将滑至VIA,导致测试不良



现象:
测试点离元件太近
后果:
由于间距过小,导致测试针断裂或损坏元件



现象:
此网络无测试点
后果:
此网络可能在测试中漏测,影响产品性能



现象:
测试点上有丝印
后果:
此状况将严重影响测试的稳定性或测试不良

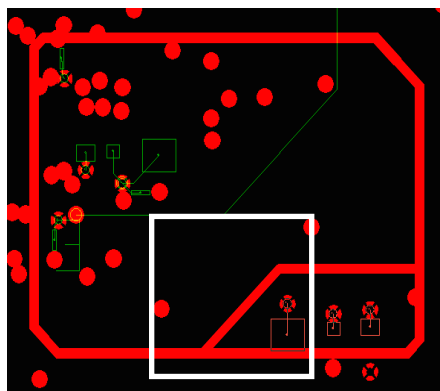


示例5:PCB信号质量分析-SQA(Netlist)

Time to value
Time to volume
Time to market

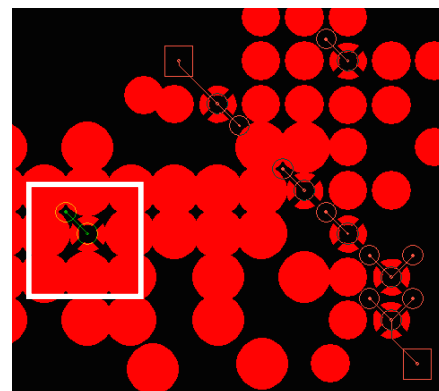


物理数据与CAD数据中网表比较, 检查出开路及短路等



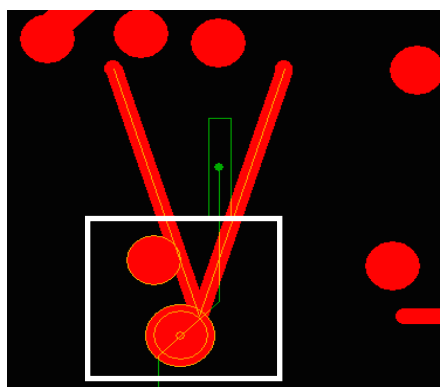
现象:
同一网络被分割线分离

后果:
导致同一线路开路



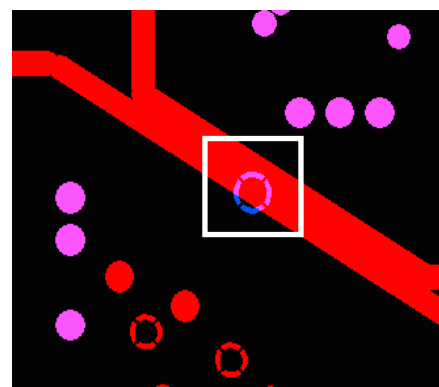
现象:
全部花盘被堵

后果:
导致同一线路开路



现象:
丝印设计在铜箔层

后果:
由于“V”字, 导致两网络短路



现象:
花盘恰好在分割线上

后果:
导致线路的开路

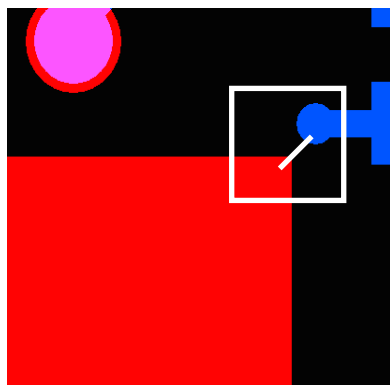


示例6:PCB信号质量分析-SQA

Time to value
Time to volume
Time to market



↑ 分叉, 串扰, 阻抗失配, **EMI** (考虑相邻电源/地层) 等

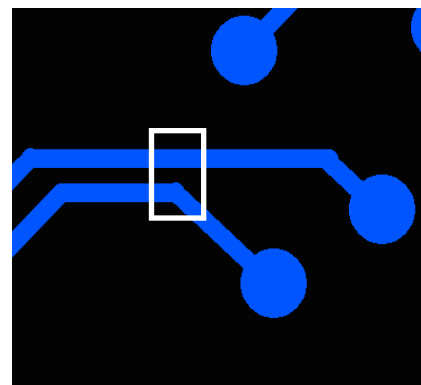


现象:

外层与内层大面积的铜箔距离太近

后果:

导致电源干扰

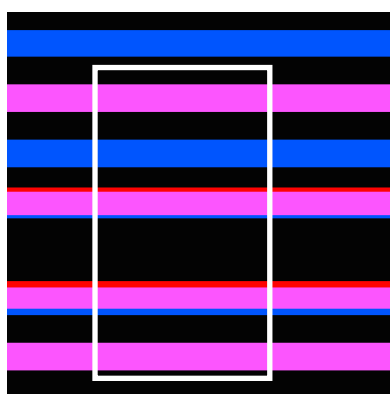


现象:

叉分走线不符合要求

后果:

导致电源串扰

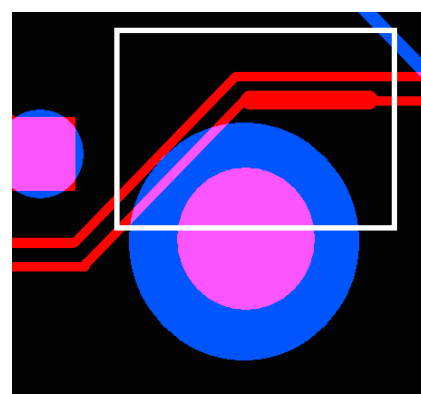


现象:

相邻层线路平行走线

后果:

导致线路产生大量的串扰



现象:

线路走线线宽不一, 内层覆铜不均

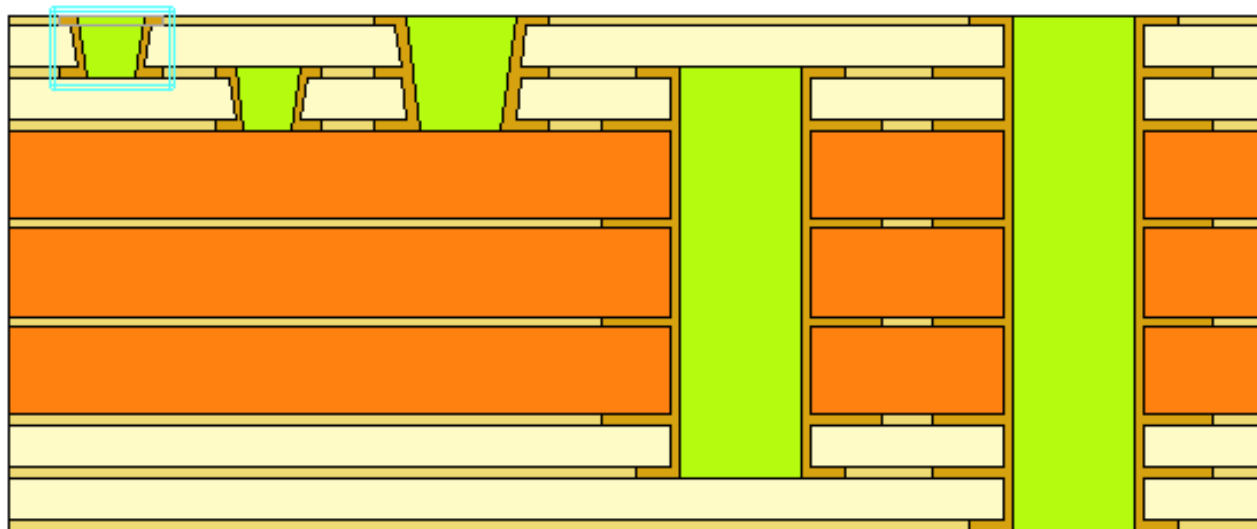
后果:

导致线路的阻抗失配和信号畸变



■ 孔分析规则

- ✓ 各项规则多达**88**条
- ✓ 普通通孔与**VIA**间的规则
- ✓ 盲埋孔的各项规则
- ✓ 阻焊,微孔,导体图形间的复杂规则



与EDA工具同步检查

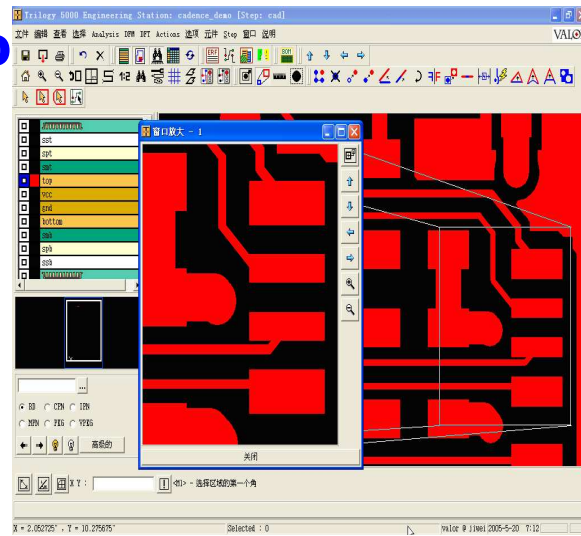
Time to value
Time to volume
Time to market

设计软件:

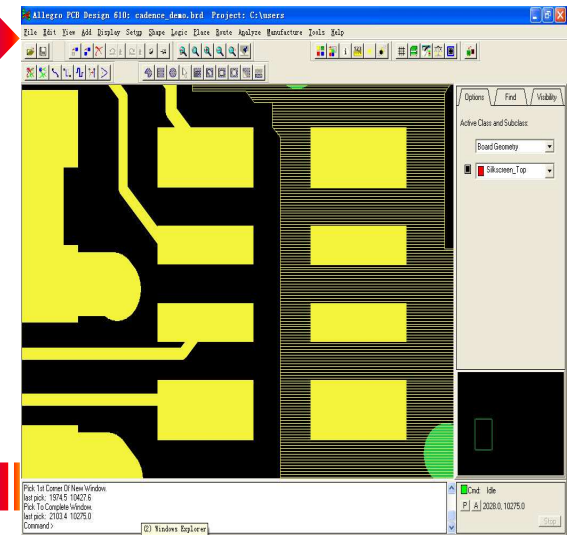
- ✓ Cadence allegro
- ✓ Mentor
- ✓ Zuken



Valor Tools



EDA Tools



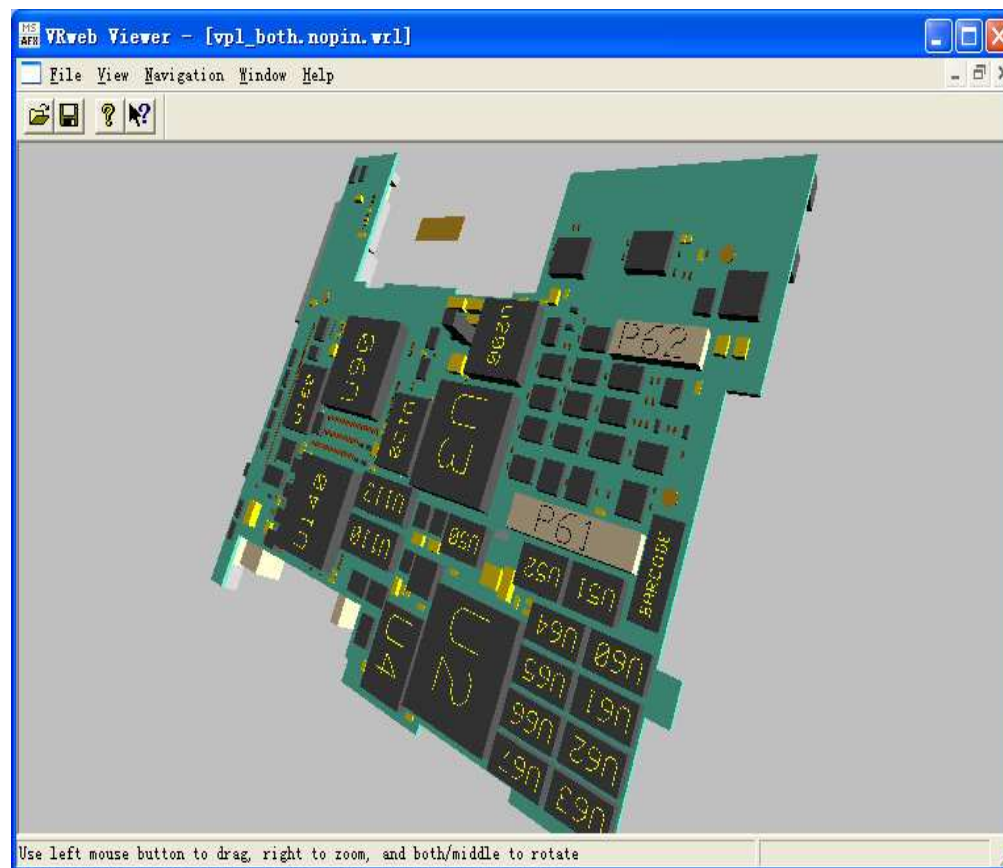
图象实时同步



输出产品的三维图

Time to market Time to volume Time to value


- ☑ 以三维方式检查设计有无生产、测试方面的问题
- ☑ 优先考虑以下装配问题：
 - ☑ 防止头碰撞
 - ☑ 验证可否维修操作
 - ☑ 验证AOI/AXI头间距
 - ☑ 验证探针可否到达
- ☑ 输出IDF文件给机械CAD，以做空间干涉分析(尤其是高器件)



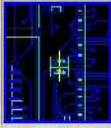
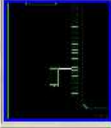

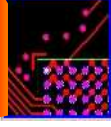
输出HTML格式的DFx报告

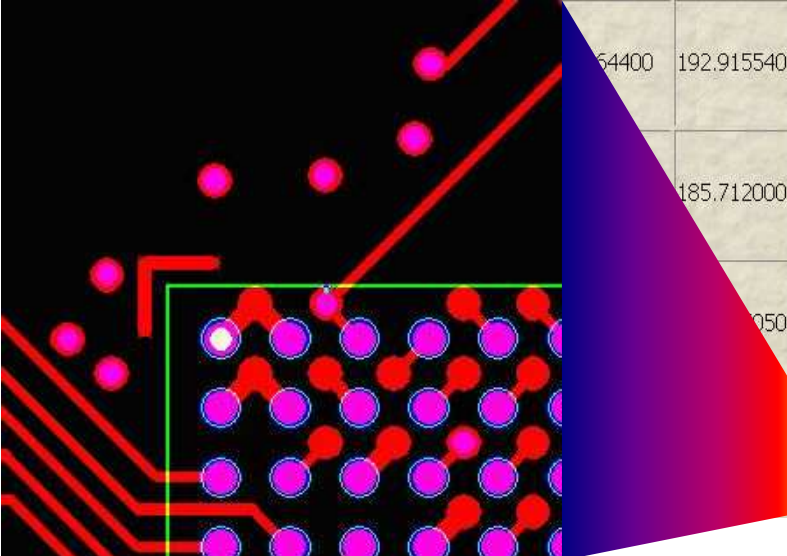
Time to value
Time to volume
Time to market

- 可自定义公司模板
- 可自定义输出内容
- 可自定义修改报告背景
- 提供详细报告资料
 - ☑ 类型
 - ☑ 位置
 - ☑ 坐标
 - ☑ 真实图片
 - ☑ 错误信息
 - ☑ 修改等级
 - ☑ 状态追踪
 - ☑ 时间...



Sharelist report of job demo_t5k

Title	Refdes	Value-Found mm	X-Location mm	Y-location mm	Image	Last-Discussion
			64400	192.915540		06/03/02 ent: Checklist=bmt-assy1 ,Action=1 valor_assembly_component
				185.712000		06/03/02 ent: Checklist=bmt-assy1 ,Action=2 valor_assembly_component
				050		06/03/02 ent: Checklist=bmt-assy1 ,Action=2 valor_assembly_component
						06/03/02 ent: Checklist=bmt-assy1 ,Action=2 valor_assembly_component



根据DFx报告实现在EDA中的同步修改

Time to market Time to volume Time to value

HTML报告

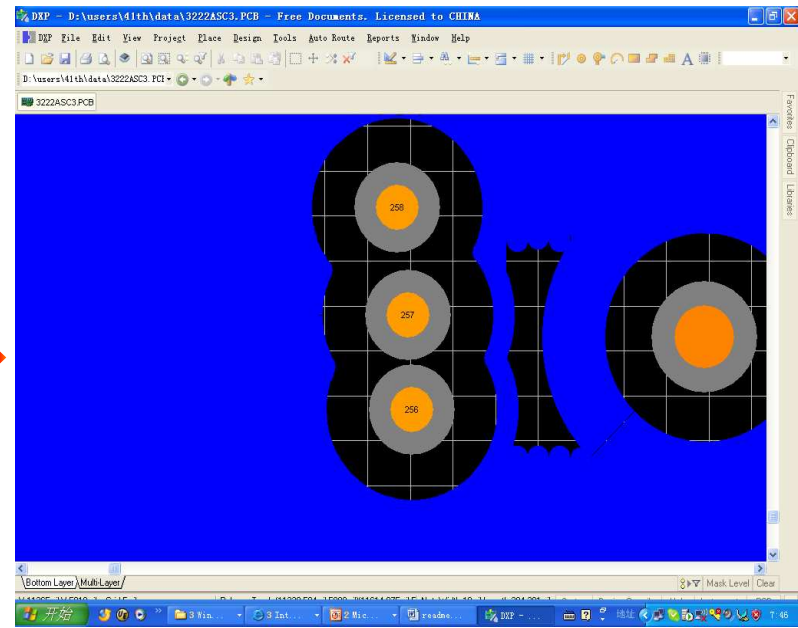


关于印制板41-3222的可制造性分析报告

序号	问题点	截图	测量值 (inch)	X坐标 (inch)	Y-location	位号	相关层
7	smd盘到via盘的边沿间距太小		0.001000	6.020446	6.692946		top top
8	via盘到via盘的边沿间距太小		0.002048	11.199958	5.874729		bottom bottom
9	pad到走线的边沿间距太小		0.004000	6.658958	5.177730		top top
10	走线到走线的边沿间距太小		0.000000	6.660958	5.192729		top top
11	相同net面之间的长条间隔宽度太小		0.002000	13.336445	5.742446		top top



EDA Tools



同步修改

- Cadence allegro
- Mentor
- Zuken
- Protel DXP2004



目录

Time to market Time to volume Time to value

■ 工艺技术与流程

- 什么是工艺质量基线?
- 工艺质量基线的因素
- 板级系统有哪些工艺设计要求?
- 板工艺技术交流与问题分析
- 设计人员有哪些困难

■ Valor的DFx解决方案

- 设计流程
- 软件平台介绍
- ERF规则管理器
- VPL实体库
- 功能就用分类与示例
- 交互设计
- 报表输出

■ Valor案例分析

- 实例分析
- BOM验证
- 网络分析
- 光板分析
- 装配分析
- 问题分析与交流
- 报表输出

■ 成功应用DFx企业

- 技术服务团队
- 总结



XXX实例分析

- BOM验证
- 网络分析
- 光板分析
- 装配分析
- 问题分析与交流
- 报表输出



目录

Time to market Time to volume Time to value

■ 工艺技术与流程

- 什么是工艺质量基线?
- 工艺质量基线的因素
- 板级系统有哪些工艺设计要求?
- 板工艺技术交流与问题分析
- 设计人员有哪些困难

■ Valor的DFx解决方案

- 设计流程
- 软件平台介绍
- ERF规则管理器
- VPL实体库
- 功能就用分类与示例
- 交互设计
- 报表输出

■ Valor案例分析

- 实例分析
- BOM验证
- 网络分析
- 光板分析
- 装配分析
- 问题分析与交流
- 报表输出



■ 成功应用DFx企业

- 技术服务团队
- 总结

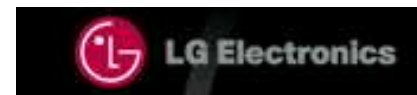


DFx成功应用企业

国际性知名用户

更多...

Time to value
Time to volume
Time to market

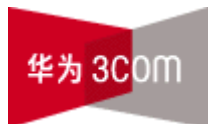


DFx成功应用企业

国内知名企业及军工研究所

更多...

Time to market Time to volume Time to value



CETC7

CETC10

CETC14

CETC26

CETC30

CETC32

CETC38

CETC41



CEC710

CETC54



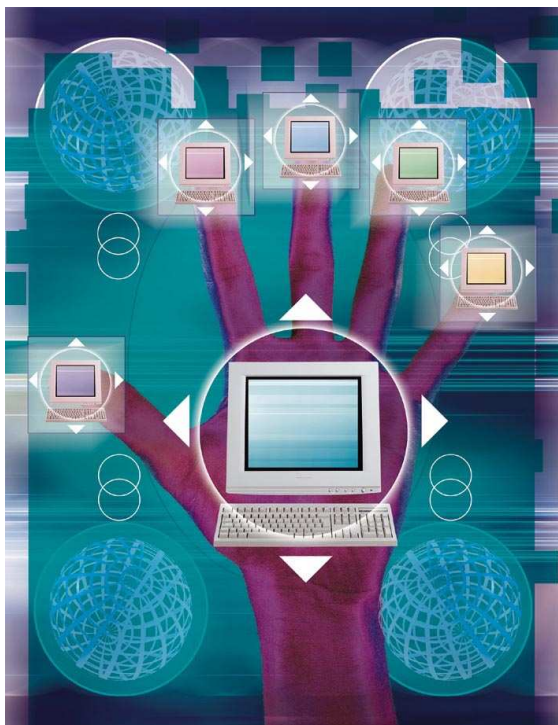
专业服务团队

Time to market Time to volume Time to value

技术服务培训点:

↑ 上海

↑ 深圳



工程技术人员:

- ❖ 资深DFx工程师
- ❖ 资深ALE工程师
- ❖ 资深客户化队伍
- ❖ 资深项目工程师
- ❖ 项目实施工程师



Thank You!

